

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11184427
PUBLICATION DATE : 09-07-99

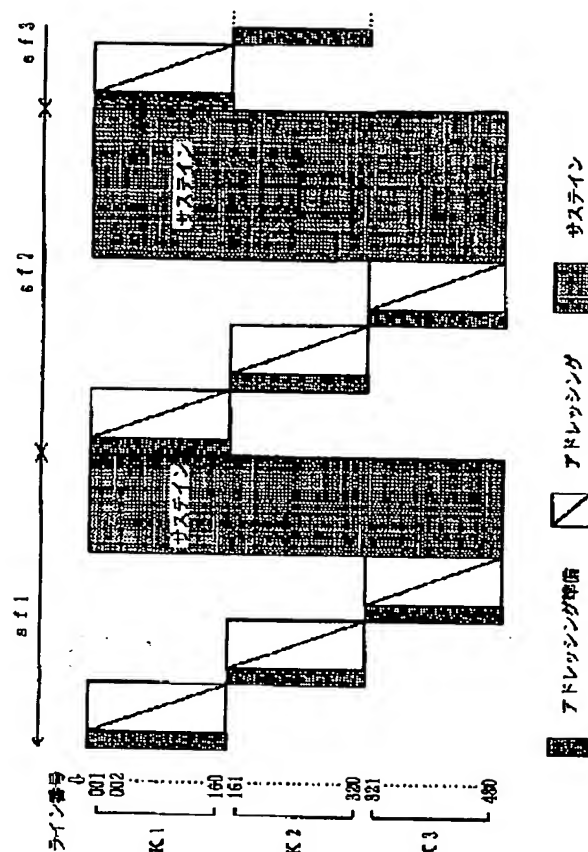
APPLICATION DATE : 25-12-97
APPLICATION NUMBER : 09356910

APPLICANT : FUJITSU LTD;

INVENTOR : HIRAKAWA HITOSHI;

INT.CL. : G09G 3/28 G09G 3/20

TITLE : PDP DRIVING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To uniformize a discharge condition related to addressing and to eliminate a disturbance in a display.

SOLUTION: In a matrix display by an AC type PDP(plasma display panel) of a structure generating a surface discharge by electrodes each other extending in the row direction and covered with a dielectric layer, respective rows of a picture are classified to plural groups K1, K2, K3, and addressing preparation uniformizing a charged distribution and the addressing forming the charged distribution according to display contents are performed at every groups K1, K2, K3 in time division.

COPYRIGHT: (C)1999,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-184427

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

識別記号

F I

G 0 9 G 3/28

C 0 9 G 3/28

H

3/20

6 4 1

3/20

W

6 4 1 E

審査請求 未請求 請求項の数5 O L (全 8 頁)

(21) 出願番号 特願平9-356910

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 平川 仁

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 久保 幸雄

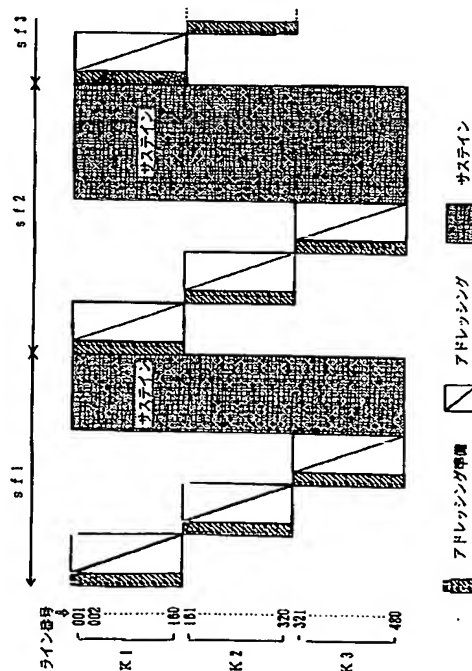
(54) 【発明の名称】 PDPの駆動方法

(57) 【要約】

【課題】 アドレッシングに係わる放電条件を均等化し、表示の乱れを無くすことを目的とする。

【解決手段】 行方向に延び誘電体層で覆われた電極どうしによって面放電を生じさせる構造のAC型のPDPによるマトリクス表示に際して、画面の各行を複数の群K1、K2、K3に分類し、帯電分布を一様化するアドレッシング準備及び表示内容に応じた帯電分布を形成するアドレッシングを各群K1、K2、K3毎に時分割で行う。

駆動シーケンスを示す図



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項1】行方向に延び誘電体層で覆われた電極どうしによって面放電を生じさせる構造のAC型のPDPの駆動方法であって、

画面の各行を行数より少ない複数の群のいずれかに属するように分類し、帯電分布を一様化するアドレッシング準備及び表示内容に応じた帯電分布を形成するアドレッシングを、前記各群毎に時分割で行うことを特徴とするPDPの駆動方法。

【請求項2】前記アドレッシング準備は、セルに壁電荷を帯電させる処理であり、

前記アドレッシングは、行毎に点灯不要のセルの壁電荷を消去する処理である請求項1記載のPDPの駆動方法。

【請求項3】前記各群どうしの間のアドレッシング準備及びアドレッシングを行う順序関係を定期的に変更する請求項1又は請求項2記載のPDPの駆動方法。

【請求項4】全ての群のアドレッシングが終了した後、前記各行を画定する前記電極の対に対して点灯維持のための電圧を一斉に印加する請求項1乃至請求項3のいずれかに記載のPDPの駆動方法。

【請求項5】前記各群毎に独立に制御可能な駆動回路を設け、

前記アドレッシングの終わった群については、他の群のアドレッシングと並行して点灯維持のための電圧印加を行う請求項1乃至請求項3のいずれかに記載のPDPの駆動方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、面放電構造のAC型PDP (Plasma Display Panel : プラズマディスプレイパネル) の駆動方法に関する。

【0002】PDPにおいては、ハイビジョンへの応用に向けて画面の高精細化及び大型化が進められており、セル数（すなわち画素数）が増加する傾向にある。画面の行数（ライン数）が多くなるにつれて、アドレッシングの所要時間は長くなる。

【0003】

【従来の技術】カラー表示デバイスとして3電極面放電構造のAC型PDPが商品化されている。これは、マトリクス表示の行毎に点灯維持のための一対の主電極が配置され、列毎にアドレス電極が配置されたものである。AC型であるので、表示に際しては主電極を覆う誘電体層のメモリ機能が利用される。すなわち、表示内容に応じた帯電状態を形成するアドレッシングを行い、その後全ての主電極対に対して一斉に交番極性の点灯維持電圧 V_s を印加する。これにより、壁電荷の存在するセルのみにおいて実効電圧（セル電圧ともいう） V_{eff} が放電開始電圧 V_f を越えて基板面に沿った面放電が生じる。

【0004】時系列の画像の表示に際しては、ある画像の点灯維持の終了から次の画像のアドレッシングまでの期間に、アドレッシング準備として、いったんセルの帯電状態を初期化するのが望ましい。各セルの放電条件を一定化するのである。いわゆる消去アドレッシングを行う場合のアドレッシング準備は、前回のアドレッシングで壁電荷が消去されたか否かに係わらず各セルに適量の壁電荷を帯電させる処理である。また、書込みアドレッシングを行う場合のアドレッシング準備は、セルを無帯電状態とする処理である。なお、消去アドレッシングは点灯不要のセルのみでアドレス放電を生じさせて壁電荷を消去する処理であり、書込みアドレッシングは点灯すべきセルのみでアドレス放電を生じさせて壁電荷を帯電させる処理である。

【0005】アドレッシング準備は、アドレッシングとは違って1行ずつ順に行う必要はない。従来では、全ての行に対して同時に所定の電圧を印加して放電を生じさせることによって、画面の全体の帯電状態を一斉に一様化するアドレッシング準備が行われていた。

【0006】

【発明が解決しようとする課題】従来においては、上述のように全ての行を対象に一斉にアドレッシング準備を行っていたので、その後のアドレッシングで最初に選択される行と最後に選択される行とで、アドレッシング準備からアドレッシングまでの経過時間が大きく異なっていた。すなわち、最後の行のアドレッシングは、最初の行のアドレッシングから走査周期（例えば $1.5\mu s$ ）の概ね行数倍の時間も遅れてしまう。このため、特に消去アドレッシングの場合には、アドレッシングの時期が遅れるほど壁電荷が減衰して放電確率が低下するので（具体的にはアドレス放電の開始電圧が $5\sim 10V$ 程度高くなる）、アドレッシングの駆動電圧マージンの確保が難しいという問題があった。

【0007】高精細のフルカラー動画表示を行うには、書込みアドレッシングよりも高速性に優れた消去アドレッシングを用いる必要がある。しかし、従来の駆動方法では画面中のアドレッシングの後端側部分でアドレス放電ミスに因る表示の乱れが生じ易い。

【0008】本発明は、アドレッシングに係わる放電条件を均等化し、表示の乱れを無くすことを目的としている。

【0009】

【課題を解決するための手段】請求項1の発明の方法は、行方向に延び誘電体層で覆われた電極どうしによって面放電を生じさせる構造のAC型のPDPの駆動方法であって、画面の各行を行数より少ない複数の群のいずれかに属するように分類し、帯電分布を一様化するアドレッシング準備及び表示内容に応じた帯電分布を形成するアドレッシングを前記各群毎に時分割で行うものである。

THIS PAGE BLANK (USPTO)

【0010】請求項2の発明の駆動方法において、前記アドレッシング準備はセルに壁電荷を帯電させる処理であり、前記アドレッシングは行毎に点灯不要のセルの壁電荷を消去する処理である。

【0011】請求項3の発明の駆動方法は、前記各群どうしの間のアドレッシング準備及びアドレッシングを行う順序関係を定期的に変更するものである。請求項4の発明の駆動方法は、全ての群のアドレッシングが終了した後、前記各行を画定する前記電極の対に対して点灯維持のための電圧を一斉に印加するものである。

【0012】請求項5の発明の駆動方法は、前記各群毎に独立に制御可能な駆動回路を設け、前記アドレッシングの終わった群については、他の群のアドレッシングと並行して点灯維持のための電圧印加を行うものである。

【0013】

【発明の実施の形態】図1は第1の実施形態に係るプラズマ表示装置100の構成図である。プラズマ表示装置100は、フラット型のカラー表示デバイスであるAC型のPDP1と、画面（スクリーン）SCを構成する縦横に並んだセルCを選択的に点灯させるための駆動ユニット80とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0014】PDP1は、対をなす第1及び第2の主電極としてのサステイン電極X、Yが平行配置され、各セルCにおいてサステイン電極X、Yと第3の電極としてのアドレス電極Aとが交差する面放電構造のPDPである。サステイン電極X、Yは画面の行方向（水平方向）に延び、一方のサステイン電極Yはアドレッシングに際して行単位にセルCを選択するためのスキャン電極として用いられる。アドレス電極Aは列方向（垂直方向）に延びており、列単位にセルCを選択するためのデータ電極として用いられる。サステイン電極群とアドレス電極群とが交差する領域が表示領域、すなわち画面SCである。

【0015】駆動ユニット80は、コントローラ81、フレームメモリ82、データ処理回路83、サブフィールドメモリ84、電源回路85、Xドライバ回路87、Yドライバ回路88、及びアドレスドライバ回路89A、89Bを有している。駆動ユニット80には、TVチューナ、コンピュータなどの外部装置からR、G、Bの各色の輝度レベル（階調レベル）を示す画素単位のフィールドデータDFが各種の同期信号とともに入力される。

【0016】フィールドデータDFは、フレームメモリ82に一旦格納された後、データ処理回路83へ送られる。データ処理回路83は、後述のようにフィールドを所定数のサブフィールドに分割して階調表示を行うためのデータ変換手段であり、フィールドデータDFに応じたサブフィールドデータDs fを出力する。サブフィー

ルドデータDs fはサブフィールドメモリ84に格納される。サブフィールドデータDs fの各ビットの値は、サブフィールドにおけるセルの点灯の要否を示す情報、厳密にはアドレス放電の要否を示す情報である。

【0017】Xドライバ回路87はサステイン電極Xに駆動電圧を印加し、Yドライバ回路88はサステイン電極Yに駆動電圧を印加する。アドレスドライバ回路89A、89Bはアドレス電極Aに駆動電圧を印加する。これらドライバ回路には電源回路85から所定の電力が供給される。

【0018】なお、駆動ユニット80はPDP1の背面側に配置され、各ドライバ回路と電極とが図示しないフレキシブルケーブルで電気的に接続される。その接続強度の均一化を図るため、各ドライバ回路毎に3～5枚のフレキシブルケーブルが用いられる。

【0019】図2はPDP1の内部構造を示す斜視図である。PDP1では、前面側のガラス基板11の内面に、行毎に一对ずつサステイン電極X、Yが配列されている。行は画面における水平方向のセル列である。サステイン電極X、Yは、それぞれが透明導電膜41と金属膜（バス導体）42とからなり、低融点ガラスからなる厚さ30 μ m程度の誘電体層17で被覆されている。誘電体層17の表面にはマグネシア（MgO）からなる厚さ数千オングストロームの保護膜18が設けられている。アドレス電極Aは、背面側のガラス基板21の内面を覆う下地層22の上に配列されており、厚さ10 μ m程度の誘電体層24によって被覆されている。誘電体層24の上には、高さ150 μ mの平面視直線帯状の隔壁29が、各アドレス電極Aの間に1つずつ設けられている。これらの隔壁29によって放電空間30が行方向にサブピクセル（単位発光領域）毎に区画され、且つ放電空間30の間隙寸法が規定されている。そして、アドレス電極Aの上方及び隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。放電空間30には主成分のネオンにキセノンを混合した放電ガスが充填されており、蛍光体層28R、28G、28Bは放電時にキセノンが放つ紫外線によって局部的に励起されて発光する。表示の1ピクセル（画素）は行方向に並ぶ3個のサブピクセルで構成される。各サブピクセル内の構造体がセル（表示素子）Cである。隔壁29の配置パターンがストライプパターンであることから、放電空間30のうちの各列に対応した部分は全ての行に跨がって列方向に連続している。

【0020】以下、プラズマ表示装置100におけるPDP1の駆動方法を説明する。図3はフィールド構成と基本の駆動シーケンスとを示す図である。例えばテレビジョン映像の表示においては、2値の点灯制御によって階調再現を行うために、入力画像である時系列の各フィールドf（符号の添字は表示順位を表す）を例えば8個

のサブフレームsf1, sf2, sf3, sf4, sf5, sf6, sf7, sf8に分割する。言い換えれば、フレームFを構成する各フィールドfを8個のサブフレームsf1～sf8の集合に置き換える。ただし、コンピュータ出力などのノンインタレース形式の画像を再生する場合には、各フレームを8分割する。そして、これらサブフィールドsf1～sf8における輝度の相対比率が1:2:4:8:16:32:64:128となるように重み付けをして各サブフィールドsf1～sf8のサステイン放電回数を設定する。サブフィールド単位の点灯/非点灯の組合せでRGBの各色毎に256段階の輝度設定を行うことができるので、表示可能な色数は 256^3 となる。なお、サブフィールドsf1～sf8を輝度の重みの順に表示する必要はない。例えば重みの大きいサブフィールドsf8を表示期間の中間に配置するといった最適化を行うことができる。

【0021】各サブフィールドsf1～sf8に割り当てるサブフィールド期間Ts fは、アドレッシング準備期間TR、アドレス期間TA、及びサステイン期間TSからなる。サステイン期間TSは階調レベルに応じた輝度を確保するために点灯状態を維持する期間である。各サブフィールド期間Ts fにおいて、リセット期間TR及びアドレス期間TAの長さは輝度の重みに係わらず一定であるが、サステイン期間TSの長さは輝度の重みが大きいほど長い。つまり、1つのフィールドfに対応する8つのサブフィールド期間Ts fの長さは互いに異なる。

【0022】アドレッシング準備期間TRにおいては、サステイン電極Xに正極性の電圧パルスPrを印加する第1過程と、サステイン電極Xに正極性の電圧パルスPrxを印加し且つサステイン電極Yに負極性の電圧パルスPryを印加する第2過程とによって、1つ前のサブフィールドにおいて点灯した“前回点灯セル”及び点灯しなかった“前回非点灯セル”に所定の極性の壁電荷が形成される。なお、第1過程ではアドレス電極Aを50～120V程度の正電位にバイアスし、アドレス電極Aとサステイン電極Xとの間の不要の放電を防止する。第2過程に続いて、帯電の均一性を高めるため、サステイン電極Yに正極性の電圧パルスPrsを印加して全てのセルで面放電を生じさせる。この面放電によって帯電極性は反転する。その後、電荷の消失を避けるため、サステイン電極Yの電位を所定値まで緩やかに低減させる。

【0023】アドレス期間TAにおいては、1行ずつ順に各行を選択し、該当するサステイン電極Yに負極性のスキャンパルスPyを印加する。行の選択と同時に、非点灯とすべきセル（今回非点灯セル）に対応したアドレス電極Aに対して正極性のアドレスパルスPaを印加する。選択された行におけるアドレスパルスPaの印加されたセルでは、サステイン電極Yとアドレス電極Aとの間で対向放電が起こって誘電体層17の壁電荷が消失す

る。アドレスパルスPaの印加時点ではサステイン電極Xの近傍には正極性の壁電荷が存在するので、その壁電圧でアドレスパルスPaが打ち消され、サステイン電極Xとアドレス電極Aとの間では放電は起きない。このような消去アドレッシングは、書込み形式と違って電荷の再形成が不要であるので、高速化に適している。

【0024】サステイン期間TSにおいては、不要の放電を防止するために全てのアドレス電極Aを正極性の電位にバイアスし、最初に全てのサステイン電極Xに正極性のサステインパルスPsを印加する。その後、サステイン電極Yとサステイン電極Xとに対して交互にサステインパルスPsを印加する。本実施形態では、最終のサステインパルスPsはサステイン電極Yに印加される。サステインパルスPsの印加によって、アドレス期間TAにおいて壁電荷の残されたセル（今回点灯セル）で面放電が生じる。

【0025】各パルスの波高値及びパルス幅の一例を表1に示す。

【0026】

【表1】

パルス	波高値[V]	パルス幅[μs]
Pr	Vwx : 180	8
Prx	Vwx : 180	12
Pry	Vwy : -180	12
Prs	Vwx : 180	12
Py	Vy : -40～120	1.5
Pa	Va : 50～80	1.5
Ps	Vs : 180	2

【0027】図4は駆動シーケンスを示す図である。プラズマ表示装置100においては、アドレッシング準備及びアドレッシングが全ての行Lについて一斉に行われず、画面を列方向に例えば3分割したブロックK1, K2, K3毎に時分割で行われる。図4の例では行の総数が480であって、各ブロックK1～K3の行数は160である。画面の分割数が多いほど行選択（走査）の先頭行と最終行との間におけるアドレス放電の時間的ずれが少なくなるが、1サブフィールド当たりのアドレッシング準備の回数は多くなる。分割数の選定には、このことを考慮する必要がある。また、回路構成及び組み立ての観点からみると、各サステイン電極Yと駆動ユニット80との接続に用いるフレキシブルケーブルの枚数に分割数を合わせ、各フレキシブルケーブルへの行Lの振り分けに合わせて画面を区画するのが望ましい。

【0028】図4の例では、第1のブロックK1→第2のブロックK2→第3のブロックK3の順にアドレッシングが行われ、その後に全てのブロックK1～K3で一斉にサステイン（点灯維持）が行われる。つまり、アドレッシング準備期間、アドレッシング期間、及びサステイン期間は時間的に完全に分離されている。アドレッシング準備及びアドレッシングを行う順序については、ライン番号の昇順（図示の順序）に限らず、例えばライン

番号の降順(K3-K2-K1)でもよい。また、サブフィールド毎又はフィールド毎に昇順と降順とを交互に切り換えてもよいし、乱数を利用した不特定の順序としてもよい。

【0029】図5は主電極への電圧印加の模式図である。Xドライバ回路87には電圧パルスPr、Prx(電圧Vwx)の印加を制御するスイッチングデバイスがブロックK1~K3毎に設けられている。Yドライバ回路88にも電圧パルスPr、Prx(電圧Vwy)の印加を制御するスイッチングデバイスがブロックK1~K3毎に設けられている。これにより、上述のとおりアドレッシング準備及びアドレッシングを時分割で行うことができる。なお、サステインパルスPs(電圧Vs)は、ブロックK1~K3を区別することなく、全ての行Lに対して共通に印加される。

【0030】図6は第2の実施形態に係るプラズマ表示装置200の要部の構成図である。プラズマ表示装置200は、上述した構造のPDP1とそのセルを選択的に点灯させる駆動ユニットとから構成されている。プラズマ表示装置200では、サステイン電極Xに駆動電圧を印加するために、画面を列方向に3分割した各ブロック毎に1個ずつ互いに独立に制御可能なXドライバ回路97A、97B、97Cが設けられている。また、同様にサステイン電極Yについても、ブロック毎にYドライバ回路98A、98B、98Cが設けられている。2個のアドレスドライバ回路99A、99Bを有しているが、これはアドレス電極Aの外部接続端子を基板21の両端に振り分けて設けているためである。各列のアドレス電極Aは3つのブロックに跨っており、全ての行に共通である。

【0031】図7は第2の実施形態の駆動シーケンスを示す図である。プラズマ表示装置200においても、アドレッシング準備及びアドレッシングは上述の実施形態と同様に各ブロック毎に時分割で行われる。しかし、サステインは、全ての行に対するアドレッシングの終了を待たずに、アドレッシングの終了したブロックから順に逐次に行われる。すなわち、あるブロックK2、K3のアドレッシングとそれ以前にアドレッシングの終了したブロックK1、K2のサステインとが並行して行われる。なお、サステインの終了したブロックから順に次のサブフィールドのアドレッシング準備を開始してもよいし、全てのブロックK1~K3のサステインが終了するのを待って次のサブフィールドのアドレッシング準備を開始してもよい。

【0032】以上の実施形態によれば、アドレッシング準備に係る駆動回路部品に要求される電流容量が従来の

1/3になるので、駆動ユニットの低価格化を図ることができる。

【0033】上述の実施形態によれば、列方向に並ぶブロックK1~K3毎にアドレッシング準備を行うので、駆動回路の配線が簡単である。ただし、必ずしも各回のアドレッシング準備の対象となる一定数(例示は160)の行が互いに隣接している必要はなく、任意に行を選んで群分けすることができる。各群の行数は互いに異なってもよい。

【0034】上述の実施形態においては、アドレス放電による蛍光体の劣化を軽減するためにアドレスパルスPaを正極性と定めて他のパルスの極性を設定し、また、片方のサステイン電極のみに正極性のサステインパルスを印加するようにして駆動回路を単純化した例を挙げたが、これに限定されるものではない。つまり、印加電圧の極性の変更は可能である。アドレッシング準備における第2過程の電圧パルスPrx、Pryについては、波高値の割り振りは任意であるが、回路構成の上では例示の同等に割り振るVsと-Vsの組合せにするのが有利である。

【0035】

【発明の効果】請求項1乃至請求項5の発明によれば、アドレッシングに係わる放電条件を均等化し、表示の乱れを無くすることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係るプラズマ表示装置の構成図である。

【図2】PDPの内部構造を示す斜視図である。

【図3】フィールド構成と基本の駆動シーケンスとを示す図である。

【図4】駆動シーケンスを示す図である。

【図5】主電極への電圧印加の模式図である。

【図6】第2の実施形態に係るプラズマ表示装置の要部の構成図である。

【図7】第2の実施形態の駆動シーケンスを示す図である。

【符号の説明】

1 PDP

X、Y サステイン電極(電極)

17

L 行

K1、K2、K3 群

C セル

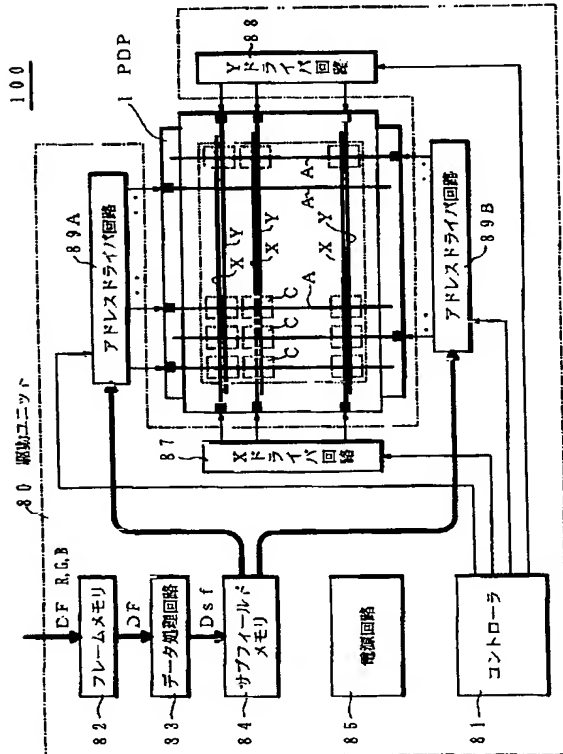
Ps サステインパルス(点灯維持のための電圧)

97A~B Xドライバ回路(駆動回路)

98A~B Yドライバ回路(駆動回路)

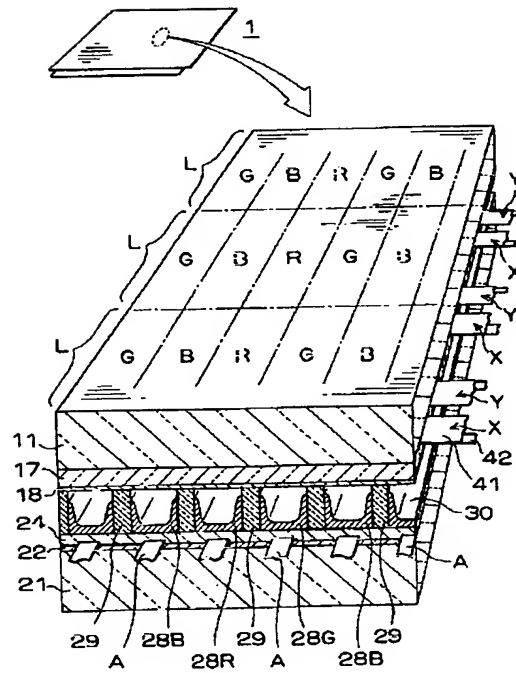
【図 1】

第1の実施形態に係るプラズマ表示装置の構成図



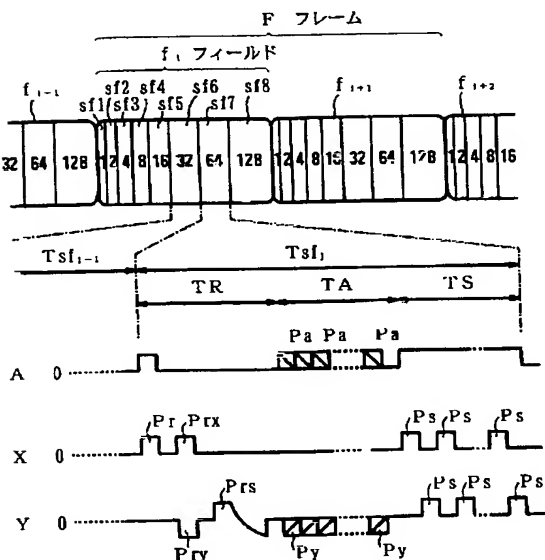
【図2】

ＰＤＰの内部構造を示す斜視図



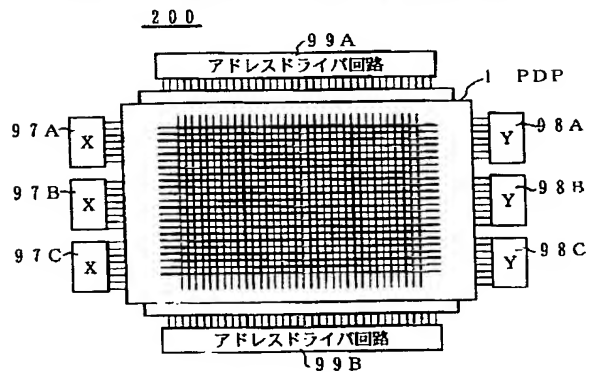
【図3】

フィールド構成と基本の駆動シーケンスとを示す図



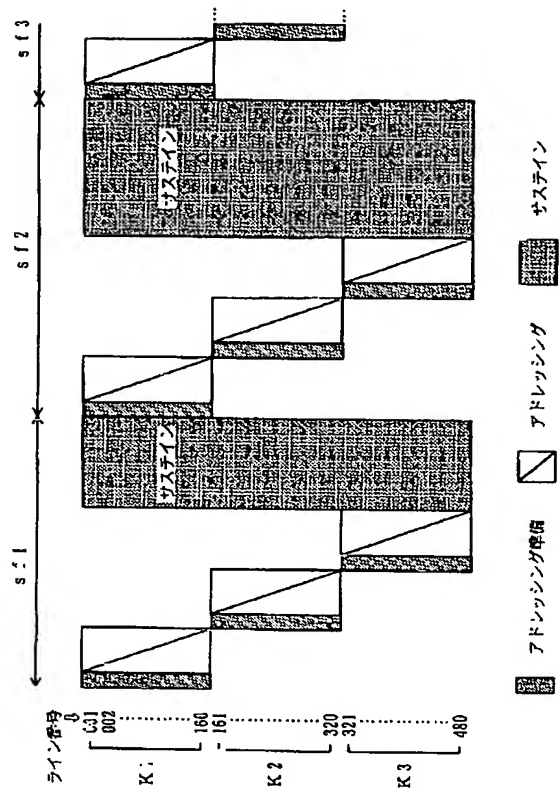
【図6】

第2の実施形態に係るプラズマ表示装置の要部の構成図



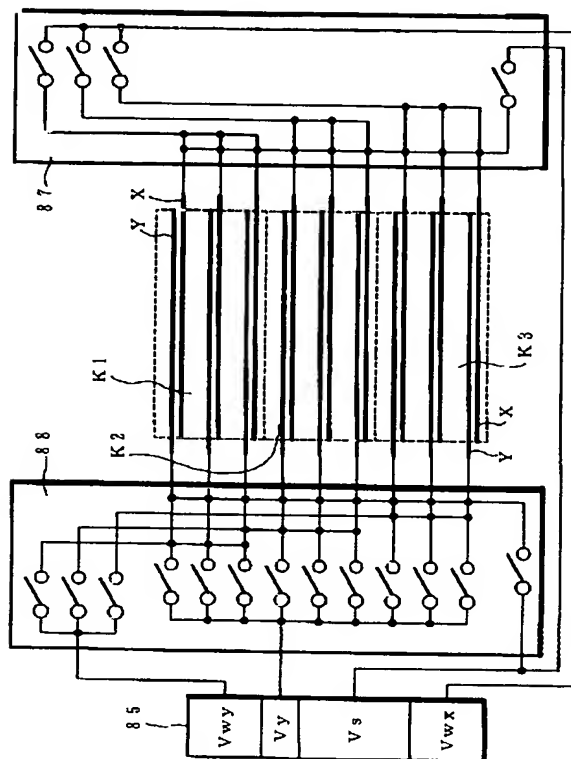
【図4】

駆動シーケンスを示す図



【図5】

主電極への電圧印加の模式図

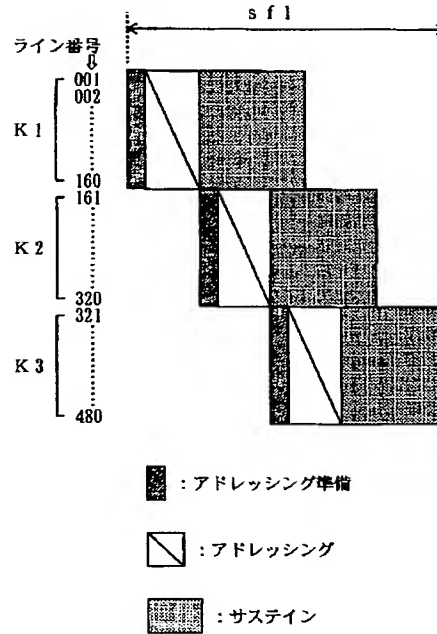


(8)

特開平 1 1 - 1 8 4 4 2 7

【 図 7 】

第 2 の実施形態の駆動シーケンスを示す図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)